

Publication number: 09-073101

Date of publication of application: 18.03.1997

Application number: 07-228706

Date of filing: 06.09.1995

LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

ABSTRACT

PROBLEM TO BE SOLVED: To improve an opening rate by setting the orientation state of liquid crystals and the polarization state of polarizing plates by the absence of voltage between pixel electrodes and counter electrodes.

SOLUTION: This liquid crystal display device is constituted by providing the surface on the liquid crystal layer side of at least one or both of transparent substrates of the transparent substrates arranged to face each other via the liquid crystal layer with the pixel electrodes PX and the counter electrodes CT and is constituted to generate electric fields parallel with the transparent substrates by the application of the voltage between these pixel electrodes PX and the counter electrodes CT. The orientation state of the liquid crystals shielding the light transmission from the one transparent substrate toward the other transparent substrate via the liquid crystals and the polarization state of the polarizing plate are set by the absence of the voltage between the pixel electrodes PX and the counter electrodes CT. At least either of the pixel electrodes PX and the counter electrodes CT are composed of transparent conductive films.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-73101

(43) 公開日 平成9年(1997)3月18日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
1/1345			1/1345	

審査請求 未請求 請求項の数13 O L (全 22 頁)

(21) 出願番号 特願平7-228706

(22) 出願日 平成7年(1995)9月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 太田 益幸

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 小川 和宏

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 芦沢 啓一郎

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

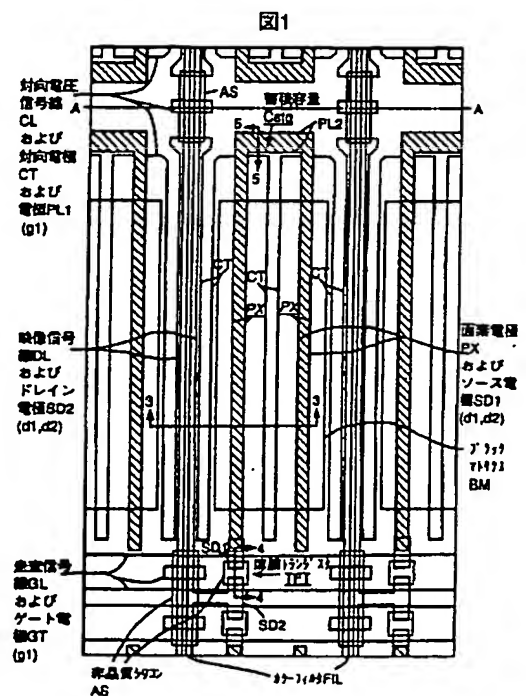
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】 開口率の向上を図る。

【構成】 液晶層を介して互いに対向して配置される透明基板のうち、その一方または両方の透明基板の液晶層側の面に画素電極と対向電極とが備えられ、これら画素電極と対向電極との間の電圧印加によって透明基板と平行に電界を発生させる液晶表示装置において、前記画素電極と対向電極との間の電圧無印加によって一方の透明基板から前記液晶を介して他方の透明基板への光透過を遮断する液晶の配向状態および偏光板の偏光状態が設定されているとともに、前記画素電極と対向電極とのうち少なくともいずれかが透明導電膜で構成されている。



【特許請求の範囲】

【請求項1】 液晶層を介して互に対向して配置される透明基板のうち、透明基板の液晶層側の面に画素電極と対向電極とが備えられ、これら画素電極と対向電極との間の電圧印加によって透明基板と平行に電界を発生させる液晶表示装置において、前記画素電極と対向電極との間の電圧無印加によって一方の透明基板から前記液晶を介して他方の透明基板への光透過を遮蔽する液晶の配向状態および偏光板の偏光状態が設定されているとともに、前記画素電極と対向電極とのうち少なくともいずれかが透明導電膜で構成されていることを特徴とする液晶表示装置。

【請求項2】 薄膜トランジスタと、この薄膜トランジスタをオンさせる走査信号線と、このオンされた薄膜トランジスタを介して画素電極に映像信号を供給する映像信号線と、対向電極に対向電圧を印加する対向電極信号線とを備えるものであって、対向電極は、隣接する映像信号線にそれぞれ近接して配置される2個を含む3個以上の各電極からなるとともに、そのうち映像信号線に近接する2個の各電極は透明導電膜以外の導電膜で構成され、他の電極は透明導電膜で構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 薄膜トランジスタと、この薄膜トランジスタをオンさせる走査信号線と、このオンされた薄膜トランジスタを介して画素電極に映像信号を供給する映像信号線と、対向電極に対向電圧を印加する対向電極信号線とを備えるものであって、対向電極は透明導電膜で構成されているとともに、対向電極信号線は前記透明導電膜と異なる他の導電膜で構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 対向電極信号線を構成する導電膜は対向電極を構成する透明導電膜よりも小さな抵抗値を有する材料からなることを特徴とする請求項3記載の液晶表示装置。

【請求項5】 透明導電層はインジウムーチンーオキサイド（ITO）膜で構成されていることを特徴とする請求項1から4記載のうちいずれか記載の液晶表示装置。

【請求項6】 対向電極信号線を構成する導電膜はCr、Ta、Ti、Mo、W、Al、またはそれらの合金、もしくはそれらのうちの選択された材料の積層体から構成されることを特徴とする請求項4記載の液晶表示装置。

【請求項7】 薄膜トランジスタと、この薄膜トランジスタをオンさせる走査信号線と、このオンされた薄膜トランジスタを介して画素電極に映像信号を供給する映像信号線と、対向電極に対向電圧を印加する対向電極信号線とを備えるものであって、前記対向電極信号線はアルミニウム層およびこのアルミニウム層を完全に被覆するITO膜との積層体とで構成されるとともに、前記対向電極は前記ITO膜を一部延在させた延在部で構成

されていることを特徴とする請求項1記載の液晶表示装置。

【請求項8】 薄膜トランジスタと、この薄膜トランジスタをオンさせる走査信号線と、このオンされた薄膜トランジスタを介して画素電極に映像信号を供給する映像信号線と、対向電極に対向電圧を印加する対向電極信号線とを備えるものであって、前記画素電極は透明導電膜で構成されているとともに、映像信号線の端子部、走査信号線の端子部、および対向電極信号線の端子部のうち少なくとも一つの端子部が透明導電膜で構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項9】 画素電極を構成する透明導電膜、映像信号線の端子部、走査信号線の端子部、および対向信号線の端子部のうち少なくとも一つの端子部を構成する透明導電膜は、それぞれ同一の工程で形成されることを特徴とする請求項8記載の液晶表示装置の製造方法。

【請求項10】 薄膜トランジスタと、この薄膜トランジスタをオンさせる走査信号線と、このオンされた薄膜トランジスタを介して画素電極に映像信号を供給する映像信号線と、対向電極に対向電圧を印加する対向電極信号線とを備えるものであって、前記対向電極は透明導電膜で構成されているとともに、映像信号線の端子部、走査信号線の端子部、および対向電極信号線の端子部のうち少なくとも一つの端子部が透明導電膜で構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項11】 対向電極を構成する透明導電膜、映像信号線の端子部、走査信号線の端子部、および対向信号線の端子部のうち少なくとも一つの端子部を構成する透明導電膜は、それぞれ同一の工程で形成されることを特徴とする請求項10記載の液晶表示装置の製造方法。

【請求項12】 薄膜トランジスタと、この薄膜トランジスタをオンさせる走査信号線と、このオンされた薄膜トランジスタを介して画素電極に映像信号を供給する映像信号線と、対向電極に対向電圧を印加する対向電極信号線とを備えるものであって、前記画素電極および対向電極は透明導電膜で構成されているとともに、映像信号線の端子部、走査信号線の端子部、および対向電極信号線の端子部のうち少なくとも一つの端子部が透明導電膜で構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項13】 画素電極および対向電極を構成する透明導電膜、映像信号線の端子部、走査信号線の端子部、および対向信号線の端子部のうち少なくとも一つの端子部を構成する透明導電膜は、それぞれ同一の工程で形成されることを特徴とする請求項12記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置およびその製造方法に係り、特に、いわゆる横電界方式と称される

液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】近年、いわゆる横電界方式と称される液晶表示装置が知られるようになってきた。これに対して従前の液晶表示装置は対比的に縦電界方式と称されるものである。

【0003】すなわち、縦電界方式と称されるものは、液晶層を介して互いに対向配置される透明基板のそれぞれに電極を備え、これら各電極によって透明基板と垂直方向に電界を発生させることによって該液晶層の光透過率を変化させる構成となっている。

【0004】これに対して、横電界方式と称されるものは、液晶層を介して互いに対向配置される透明基板のうち一方または両方の透明基板に一对の電極（画素電極および対向電極）を備え、これら各電極によって透明基板と平行な方向に電界を発生させることによって該液晶層の光透過率を変化させる構成となっている。

【0005】横電界方式の液晶表示装置は、その表示面に対して大きな角度方向から該表示面を観察しても鮮明な画像が得られ、いわゆる広視野角で画像認識できるという効果を備えるものである。

【0006】なお、このような液晶表示装置は、たとえば特許出願公表第5-505247公報あるいは特開平6-160878号公報等の文献に詳述されている。

【0007】

【発明が解決しようとする課題】このような構成からなる液晶表示装置において、通常、その画素電極と対向電極はそれぞれ比較的に抵抗値の小さな金属層によって形成されているとともに、各画素に相当する領域にそれぞれ複数備えられ、かつそれらを交互に配置させて構成されたものであった。

【0008】しかし、このような構成において、各画素あたりのいわゆる開口率（光を透過する開口領域の割合）が小さくなってしまいその改善策が要望されるに至った。

【0009】表示面を明るくするため、消費電力の大きな明るいバックライトを必要とするからである。

【0010】また、金属層からなる電極は、表示面側からの観察の際において光反射を惹起せしめる要因となり、これにより、該表示面に観察者側の光景等が写ってしまうという弊害が認められるに至った。

【0011】本発明は、このような事情に基づいてなされたものであり、その目的は、開口率の向上を図った液晶表示装置およびその製造方法を提供するにある。

【0012】また、本発明の他の目的は、表示面における光反射の減少を図った液晶表示装置およびその製造方法を提供するにある。

【0013】また、本発明の他の目的は、コントラストの良好な表示を図った液晶表示装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0015】すなわち、液晶層を介して互いに対向して配置される透明基板のうち、その一方のまたは両方の透明基板の液晶層側の面に画素電極と対向電極とが備えられ、これら画素電極と対向電極との間の電圧印加によって透明基板と平行に電界を発生させる液晶表示装置において、前記画素電極と対向電極との間の電圧無印加によって一方の透明基板から前記液晶を介して他方の透明基板への光透過を遮蔽する液晶の配向状態および偏光板の偏光状態が設定されているとともに、前記画素電極と対向電極とのうち少なくともいずれかが透明導電膜で構成されていることを特徴とするものである。

【0016】

【作用】このように構成された液晶表示装置は、画素電極と対向電極とのうち少なくともいずれかが透明導電膜で構成されていることから、従来全く光を透過させない金属層で構成されたものと比べて各画素当たりの開口率を向上させることができるようになる。

【0017】また、透明導電膜は金属層と比較して光の反射率は極めて小さいことから、表示面に観察者側の光景等が写ってしまうというようなことはなくなる。

【0018】さらに、このように構成された液晶表示装置は、画素電極と対向電極との間の電圧無印加によって一方の透明基板から前記液晶を介して他方の透明基板への光透過を遮蔽する液晶の配向状態および偏光板の偏光状態が設定されたいわゆるノーマリブラックモードとなっているものである。このことは、上記電極を透明導電膜で構成しても、その部分において光を透過することがなくなるので極めて良質の黒表示を達成できコントラストの向上を図ることができるようになる。

【0019】仮に、電圧印加時に黒を表示しなければならないノーマリホワイトモードにした場合、その電圧印加時には上記電極部分において光を完全に遮断できなくなるので、その部分の透過光が黒表示の透過率を押し上げる結果、良質な黒を表示できなくなってしまう。

【0020】

【実施例】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0021】（実施例1）

《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0022】《マトリクス部（画素部）の平面構成》図1は本発明のアクティブ・マトリクス方式カラー液晶表

示装置の一画素とその周辺を示す平面図、である。(図の斜線部分は透明導電膜g2を示す。)

図1に示すように、各画素は走査信号線(ゲート信号線または水平信号線)GLと、対向電圧信号線(対向電極配線)CLと、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極CTを含む。走査信号線GL、対向電圧信号線CLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXはソース電極SDIを介して薄膜トランジスタTFTと接続され、対向電極CTは対向電圧信号線CLと一体になっている。

【0023】映像信号線DLに沿って上下に隣接する2画素では、図1A線で折曲げたとき、平面構成が重なり合う構成となっている。これは、対向電圧信号線CLを映像信号線DLに沿って上下に隣接する2画素で共通化し、対向電圧信号線CLの電極幅を拡大することにより、対向電圧信号線CLの抵抗を低減するためである。これにより、外部回路から左右方向の各画素の対向電極CTへ対向電圧を十分に供給することが容易になる。

【0024】画素電極PXと対向電極CTは互に対向し、各画素電極PXと対向電極CTとの間の電界により液晶LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CTは櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0025】1画素内の対向電極CTの本数O(櫛歯の本数)は、画素電極PXの本数(櫛歯の本数)Pと $O = P + 1$ の関係を必ず持つように構成する(本実施例では、 $O = 3$ 、 $P = 2$)。これは、対向電極CTと画素電極PXを交互に配置し、かつ、対向電極CTを映像信号線DLに必ず隣接させるためである。これにより、対向電極CTと画素電極PXの間の電界が、映像信号線DLから発生する電界から影響を受けないように、対向電極CTで映像信号線DLからの電気力線をシールドすることができる。対向電極CTは、後述の対向電圧信号線CLにより常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線DLに隣接しても、電位の変動がほとんどない。また、これにより、画素電極PXの映像信号線DLからの幾何学的な位置が遠くなるので、画素電極PXと映像信号線DLの間の寄生容量が大幅に減少し、画素電極電位Vsの映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク(縦スミアと呼ばれる画質不良)を抑制することができる。

【0026】画素電極PXと対向電極CTの電極幅はそれぞれ $6\mu\text{m}$ とする。これは、液晶層の厚み方向に対して、液晶層全体に十分な電界を印加するために、後述の

液晶層の厚み $3.9\mu\text{m}$ よりも十分大きく設定し、かつ開口率を大きくするためにできるだけ細くする。また、映像信号線DLの電極幅は断線を防止するために、画素電極PXと対向電極CTに比較して若干広く $8\mu\text{m}$ とする。ここで、映像信号線DLの電極幅が、隣接する対向電極CTの電極幅の2倍以下になるように設定する。または、映像信号線DLの電極幅が歩留りの生産性から決まっている場合には、映像信号線DLに隣接する対向電極CTの電極幅を映像信号線DLの電極幅の $1/2$ 以上にする。これは、映像信号線DLから発生する電気力線をそれぞれ両脇の対向電極CTで吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持つ電極が必要である。したがって、映像信号線DLの電極の半分($4\mu\text{m}$ ずつ)から発生する電気力線をそれぞれ両脇の対向電極CTが吸収すればよいので、映像信号線DLに隣接する対向電極CTの電極幅が $1/2$ 以上とする。これにより、映像信号の影響により発生するクロストークを、特に上下方向に発生するクロストーク(縦方向のクロストーク)を防止する。

【0027】走査信号線GLは末端側の画素(後述の走査電極端子GTMの反対側)のゲート電極GTに十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素(後述の共通バスラインCBの反対側)の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

【0028】一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路(信号側ドライバ)の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、 $16\mu\text{m}$ となる。

【0029】《マトリクス部(画素部)の断面構成》図2は図1の3-3切断線における断面を示す図、図3は図1の4-4切断線における薄膜トランジスタTFTの断面図、図4は図1の5-5切断線における蓄積容量Cstgの断面を示す図である。図2~図4に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。

【0030】また、透明ガラス基板SUB1、SUB2のそれぞれの内側(液晶LC側)の表面には、液晶の初期配向を制御する配向膜ORI、ORI2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光軸が直交して配置された(クロス

ニコル配置) 偏光板が設けられている。

【0031】《TFT基板》まず、下側透明ガラス基板SUB1側(TFT基板)の構成を詳しく説明する。

【0032】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャンネル抵抗が小さくなり、バイアスを零にすると、チャンネル抵抗は大きくなるように動作する。

【0033】薄膜トランジスタTFTは、図3に示すように、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0034】《ゲート電極GT》ゲート電極GTは走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。ゲート電極GTは薄膜トランジスタTFTの能動領域を超える部分であり、i型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成されている。これにより、ゲート電極GTの役割のほかに、i型半導体層ASに外光やバックライト光が当たらないように工夫されている。本例では、ゲート電極GTは、単層の導電膜g1で形成されている。導電膜g1としては例えばスパッタで形成されたアルミニウム(Al)膜が用いられ、その上にはAlの陽極酸化膜AOFが設けられている。

【0035】《走査信号線GL》走査信号線GLは導電膜g1で構成されている。この走査信号線GLの導電膜g1はゲート電極GTの導電膜g1と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧Vgをゲート電極GTに供給する。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。なお、映像信号線DLと交差する部分では映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

【0036】《対向電極CT》対向電極CTはゲート電極GTおよび走査信号線GLと同層の導電膜g1で構成されている。また、対向電極CT上にもAlの陽極酸化膜AOFが設けられている。対向電極CTには対向電圧Vcomが印加されるように構成されている。本実施例では、対向電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位から、薄膜トランジスタ素子TFT

をオフ状態にするときに発生するフィードスルー電圧 ΔV_s 分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

【0037】《対向電圧信号線CL》対向電圧信号線CLは導電膜g1で構成されている。この対向電圧信号線CLの導電膜g1はゲート電極GT、走査信号線GLおよび対向電極CTの導電膜g1と同一製造工程で形成され、かつ対向電極CTと一体に構成されている。この対向電圧信号線CLにより、外部回路から対向電圧Vcomを対向電極CTに供給する。また、対向電圧信号線CL上にもAlの陽極酸化膜AOFが設けられている。なお、映像信号線DLと交差する部分は、走査信号線GLと同様に映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

【0038】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFTにおいて、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに(本実施例では、2400Å程度)形成される。ゲート絶縁膜GIは、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLおよび対向電圧信号線CLと映像信号線DLの電氣的絶縁にも寄与している。

【0039】《i型半導体層AS》i型半導体層ASは、非晶質シリコンで、200~2200Åの厚さに(本実施例では、2000Å程度の膜厚)で形成される。層d0はオーミックコンタクト用のリン(P)をドーピングしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d1(d2)が存在するところのみに残されている。

【0040】i型半導体層ASは走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの短絡を低減する。

【0041】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する導電膜d1とその上に形成された導電膜d2とから構成されている。

【0042】導電膜d1はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに(本実施例では、600Å程度)で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN

(+)型半導体層d 0との接着性を良好にし、導電膜d 2のA 1がN(+型半導体層d 0に拡散することを防止する(いわゆるバリア層の)目的で使用される。導電膜d 1として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS i2、TiSi2、TaSi2、WSi2)膜を用いてもよい。

【0043】導電膜d 2はA 1のスパッタリングで3000~5000Åの厚さに(本実施例では、4000Å程度)形成される。A 1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD 1、ドレイン電極SD 2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする(ステップカバレッジを良くする)働きがある。

【0044】導電膜d 1、導電膜d 2を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは導電膜d 1、導電膜d 2をマスクとして、N(+型半導体層d 0が除去される。つまり、i型半導体層AS上に残っていたN(+型半導体層d 0は導電膜d 1、導電膜d 2以外の部分がセルフアラインで除去される。このとき、N(+型半導体層d 0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0045】《映像信号線DL》映像信号線DLはソース電極SD 1、ドレイン電極SD 2と同層の導電膜d 1、導電膜d 2で構成されている。また、映像信号線DLはドレイン電極SD 2と一体に形成されている。

【0046】《画素電極PX》画素電極PXは、本実施例では特に透明導電層g 2で形成されている。この透明導電膜g 2はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。

【0047】このように、画素電極PXを透明導電層g 2によって構成することにより、その部分の透過光による白表示を行う際の最大透過率を向上させることができ、たとえば画素電極PXを不透明な材料層で形成する場合と比較して、より明るい表示を行うことができるようになる。

【0048】また、透明導電層は金属層と比較して光の反射率は極めて小さいことから、表示面に観察者側の光景等が写ってしまうようなことはなくなる。

【0049】さらに、後述するように、画素電極PXと対向電極CTとの間の電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成するようにしている(ノーマリブラックモード)ので、該画素電極PXを透明導電層g 2で構成しても、その部分の光を全く透過することがなく、したがって、良質な黒を表示することができるようにな

る。

【0050】このことにより、最大透過率を向上させることができるとともに、十分なコントラスト比の向上を達成させることができる。

【0051】《蓄積容量Cstg》画素電極PXは、薄膜トランジスタTFTと接続される端部と反対側の端部において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、画素電極PXを一方の電極PL 2とし、対向電圧信号CLを他方の電極PL 1とする蓄積容量(静電容量素子)Cstgを構成する。この蓄積容量Cstgの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0052】図1に示すように平面的には蓄積容量Cstgは対向電圧信号線CLの導電膜g 1の幅を広げた部分に形成されている。

【0053】《保護膜PSV 1》薄膜トランジスタTFT上には保護膜PSV 1が設けられている。保護膜PSV 1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV 1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0054】保護膜PSV 1は、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。保護膜PSV 1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmが考慮されて薄くされる。従って、保護効果の高い保護膜PSV 1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0055】《カラーフィルタ基板》次に、図1、図2に戻り、上側透明ガラス基板SUB 2側(カラーフィルタ基板)の構成を詳しく説明する。

【0056】《遮光膜BM》上部透明ガラス基板SUB 2側には、不要な間隙部(画素電極PXと対向電極CTの間以外の隙間)からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜BM(いわゆるブラックマトリクス)を形成している。遮光膜BMは、外部光またはバックライト光がi型半導体層ASに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタTFTのi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0057】遮光膜BMは光に対する遮蔽性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では黒色の顔料をレジスト材に混入し、1.2μm程度

の厚さで形成している。

【0058】遮光膜BMは各画素の周囲に格子状に形成され、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとする。つまり、遮光膜BMはブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

【0059】遮光膜BMは周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図1に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0060】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは遮光膜BMのエッジ部分と重なるように形成されている。

【0061】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0062】《オーバーコート膜OC》オーバーコート膜OCはカラーフィルタFILの染料の液晶LCへの漏洩の防止、および、カラーフィルタFIL、遮光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0063】《液晶層および偏光板》次に、液晶層、配向膜、偏光板等について説明する。

【0064】《液晶層》液晶材料LCとしては、誘電率異方性 $\Delta\epsilon$ が正でその値が13.2、屈折率異方性 Δn が0.081(589nm、20℃)のネマティック液晶を用いる。液晶層の厚み(ギャップ)は、3.9 μ mとし、リタデーション $\Delta n \cdot d$ は0.316とする。このリタデーション $\Delta n \cdot d$ の値により、後述の配向膜と偏光板とを組み合わせ、液晶分子がラビング方向から電界方向に45°回転したとき最大透過率を得ることができ、可視光の範囲内で波長依存性がほとんどない透過光を得ることができる。

【0065】なお、液晶層の厚み(ギャップ)は、ポリマビーズで制御している。

【0066】また、液晶材料LCは、特に限定したものではなく、誘電率異方性 $\Delta\epsilon$ は負でもよい。また、誘電率異方性 $\Delta\epsilon$ は、その値が大きいほうが、駆動電圧が低

減できる。また、屈折率異方性 Δn は小さいほうが、液晶層の厚み(ギャップ)を厚くでき、液晶の封入時間が短縮され、かつギャップばらつきを少なくすることができる。

【0067】《配向膜》配向膜ORIとしては、ポリイミドを用いる。ラビング方向RDRは上下基板で互いに平行にし、かつ印加電界方向EDRとのなす角度は75°とする。図20にその関係を示す。

【0068】なお、ラビング方向RDRと印加電界方向EDRとのなす角度は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、45℃以上90℃未満、誘電率異方性 $\Delta\epsilon$ が負であれば、0°を超え45°以下でなければならない。

【0069】《偏光板》偏光板POLとしては、日東電工社製G1220DUを用い、下側の偏光板POL1の偏光透過軸MAX1をラビング方向RDRと一致させ、上側の偏光板POL2の偏光透過軸MAX2を、それに直交させる。図19にその関係を示す。これにより、本発明の画素に印加される電圧(画素電極PXと対向電極CTの間の電圧)を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができ、また、電圧無印加時には、良質な黒表示ができる。

【0070】《マトリクス周辺の構成》図5は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス(AR)周辺の要部平面を示す図である。また、図6は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0071】このパネルの製造では、小さいサイズであればスルーブット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5、図6は後者の例を示すもので、図5、図6の両図とも上下基板SUB1、SUB2の切断後を表しており、LNは両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群Tg、Tdおよび端子COT(添字略)が存在する(図で上辺と左辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP(図16、図17)の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、

GTMを合わせるためである。また、対向電極端子COTは、対向電極CTに対向電圧を外部回路から与えるための端子である。マトリクス部の対向電圧信号線CLは、走査回路用端子GTMの反対側（図では右側）に引き出し、各対向電圧信号線を共通バスラインCBで一纏めにして、対向電極端子COTに接続している。

【0072】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。

【0073】配向膜ORI1、ORI2の層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に構成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0074】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0075】《ゲート端子部》図7は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図5下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0076】AOはホトレジスト直接描画の境界線、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたA1層g1は表面にその酸化物A12O3膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。

【0077】図中A1層g1は、判り易くするためハッチを施してあるが、陽極化成されない領域は樹状にパターンニングされている。これは、A1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、そ

れらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。

【0078】ゲート端子GTMはA1層g1と、更にその表面を保護し、かつ、TCP(Tape Carrier Package)との接続の信頼性を向上させるための透明導電層g2とで構成されている。この透明導電膜g2は画素電極PXと同一工程で形成された透明導電膜ITOを用いている。またA1層g1上及びその側面部に形成された導電層d1及びd2は、A1層と透明導電層g2との接続不良を補うために、A1層と透明導電層g2の両方に接続性の良いCr層d1を接続し、接続抵抗の低減を図るためのものであり、導電層d2は導電層d1と同一マスク形成しているために残っているものである。

【0079】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図7に示すように上下に複数本並べられ端子群Tg(図5)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線SHg(図示せず)によって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0080】《ドレイン端子DTM》図8は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図5右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部に該当する。

【0081】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるように配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。外部接続ドレイン端子DTMは上下方向に配列され、ドレイン端子DTMは、図5に示すように端子群Td(添字省略)を構成し基板SUB1の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHd(図示せず)によって短絡される。検査端子TSTdは図8に示すように一本置き映像信号線DLに形成される。

【0082】ドレイン接続端子DTMは透明導電層g2単層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。この透明導電膜g2はゲート端子GTMの時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲ

ート絶縁膜G1の縁をテーパ状にエッチングするためのものである。ドレイン端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。

【0083】マトリクス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d1、d2が保護膜PSV1の途中まで構成されており、保護膜PSV1の中で透明導電膜g2と接続されている。これは、電触し易いA1層d2を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0084】《対向電極端子CTM》図9は対向電圧信号線CLからその外部接続端子CTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図5左上付近に対応する。

【0085】各対向電圧信号線CLは共通バスラインCBで一纏めして対向電極端子CTMに引き出されている。共通バスラインCBは導電層g1の上に導電層d1、導電層d2を積層した構造となっている。これは、共通バスラインCBの抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。共通バスラインCBの導電層g1は導電層d1、導電層d2と電気的に接続されるように、陽極化成はされていない。また、ゲート絶縁膜G1からも露出している。

【0086】対向電極端子CTMは、導電層g1の上に透明導電層g2が積層された構造になっている。この透明導電膜g2は他の端子の時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。透明導電層g2により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層g2で、導電層g1を覆っている。

【0087】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図10に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0088】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0089】走査信号線Y（添字省略）は垂直走査回路Vに接続されており、映像信号線X（添字省略）は映像信号駆動回路Hに接続されている。

【0090】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報を

TFT液晶表示装置用の情報に交換する回路を含む回路である。

【0091】《駆動方法》図11に本発明の液晶表示装置の駆動波形を示す。対向電圧をVchとVclの2値の交流矩形波にし、それに同期させて走査信号Vg(i-1)、Vg(i)の非選択電圧を1走査期間ごとに、VglhとVgl1の2値で変化させる。対向電圧の振幅値と非選択電圧の振幅値は同一にする。映像信号電圧は、液晶層に印加したい電圧から、対向電圧の振幅の1/2を差し引いた電圧である。

【0092】対向電圧は直流でもよいが、交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路（信号側ドライバ）に耐圧の低いものを用いることが可能になる。

【0093】《蓄積容量Cstgの働き》蓄積容量Cstgは、画素に書き込まれた（薄膜トランジスタTFTがオフした後の）映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量（いわゆる液晶容量）がほとんど無いため、蓄積容量Cstgが映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量Cstgは必須の構成要素である。

【0094】また、蓄積容量Cstgは、薄膜トランジスタTFTがスイッチングするとき、画素電極電位Vsに対するゲート電位変化ΔVgの影響を低減するようにも働く。この様子を式で表すと、次のようになる。

【0095】

$$[\text{数}1] \Delta V_s = \{C_{gs} / (C_{gs} + C_{stg} + C_{pix})\} \times \Delta V_g$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは画素電極PXと対向電極CTとの間に形成される容量、ΔVsはΔVgによる画素電極電位の変化分いわゆるフィードスルー電圧を表す。この変化分ΔVsは液晶LCに加わる直流成分の原因となるが、保持容量Cstgを大きくすればする程、その値を小さくすることができる。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0096】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、画素電極電位Vsはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、蓄積容量Cstgを設けることによりこのデメリットも解消することができる。

【0097】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図12～図14を参照して説明する。なお同図において、中央の文字は

工程名の略称であり、左側は図3に示す薄膜トランジスタTFT部分、右側は図7に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリソを除去した段階を示している。なお、写真処理とは本説明ではフォトリソの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰り返しの説明は避ける。以下区分けした工程に従って、説明する。

【0098】工程A、図12

AN635ガラス（商品名）からなる下部透明ガラス基板SUB1上に膜厚が3000ÅのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜g1をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で導電膜g1を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CL、電極PL1、ゲート端子GTM、共通バスラインCBの第1導電層、対向電極端子CTMの第1導電層、ゲート端子GTMを接続する陽極酸化バスラインSHg（図示せず）および陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0099】工程B、図12

直接描画による陽極酸化マスクAOの形成後、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する（定電流化成）。次に所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl₂O₃膜を得る上で大切なことである。それによって、導電膜g1を陽極酸化され、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CLおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0100】工程C、図12

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2200Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0101】工程D、図13

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0102】工程E、図13

写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化Si膜を選択的にエッチングする。

【0103】工程F、図13

膜厚が1400ÅのITO膜からなる透明導電膜g2をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜g2を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTMの第2導電層を形成する。

【0104】工程G、図14

膜厚が600ÅのCrからなる導電膜d1をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜d2をスパッタリングにより設ける。写真処理後、導電膜d2を工程Bと同様な液でエッチングし、導電膜d1を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、画素電極PX、電極PL2、共通バスラインCBの第2導電層、第3導電層およびドレイン端子DTMを短絡するバスラインSHd（図示せず）を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0105】工程H、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0106】《表示パネルPNLと駆動回路基板PCB1》図15は、図5等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

【0107】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図16、図17で後述するように駆動用ICチップCHIがテープ・オートメィド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片が半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施し

たもの) をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0108】《TCPの接続構造》図16は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図17はそれを液晶表示パネルの、本例では走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【0109】同図において、TTBは集積回路CHIの入力端子・配線部であり、TMTは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TMTの外側の先端部（通称アウトリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子GTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子GTM（DTM）は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0110】HDIはポリイミド等からなるベースフィルムであり、SRは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールドパターンSLの外側の上下ガラス基板の間隙は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0111】《駆動回路基板PCB2》駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

【0112】駆動回路基板PCB1と駆動回路基板PCB2とはフラットケーブルFCにより電氣的に接続されている。

【0113】《液晶表示モジュールの全体構成》図18は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0114】SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWはその表示窓、PNL

は液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0115】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。

【0116】バックライトケースLCAはバックライト蛍光管BL、光拡散板SPB、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導光体LCB、反射板RM、光拡散板SPBにより表示面で一様なバックライトにし、液晶表示パネルPNL側に出射する。

【0117】バックライト蛍光管BLにはインバータ回路基板PCB3が接続されており、バックライト蛍光管BLの電源となっている。

【0118】以上、本実施例では、上述したように画素電極PXを透明導電膜g2によって構成することにより、白表示を行うときの最大透過率を約30%程度（本実施例の場合31.8%）と大幅に向上させることができるようになる。また、端子の信頼性を向上するためのITO膜も同時に形成することができ、信頼性と生産性を両立させることができる。

【0119】（実施例2）本実施例は下記の要件を除けば、実施例1と同一である。図20に画素の平面図を示す。図の斜線部分は透明導電膜g2を示す。

【0120】《画素電極PX》本実施例では、画素電極PXはソース電極SD1、ドレイン電極SD2と同層の導電膜d1、導電膜d2で構成されている。また、画素電極PXはソース電極SD1と一体に形成されている。

【0121】《対向電極CT》本実施例では、対向電極CTを透明導電膜g2で構成する。この透明導電膜g2は実施例1と同様、スパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000～2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

【0122】《対向電圧信号線CL》対向電圧信号線CLは透明導電膜g2で構成されて、かつ対向電極CTと一体に構成されている。

【0123】《ゲート端子部》本実施例では、ゲート端子GTMのAl層g1の表面を保護し、かつ、TCP（Tape Carrier Package）との接続の信頼性を向上させるための透明導電膜g2を対向電極CTと同一工程で形成する。構成は実施例1と何ら変わりはなく、図7に示す通りである。

【0124】《ドレイン端子DTM》本実施例では、ドレイン接続端子DTMの透明導電膜g2にゲート端子GTMの時と同様に対向電極CTと同一工程で形成された

透明導電膜ITOを用いている。構成は層の上下関係が実施例1と少し異なるが、本質的ではないので図は省略する。

【0125】《対向電極端子CTM》対向電極端子CTMの導電層g1の上の透明導電層g2は他の端子の時と同様に対向電極CTと同一工程で形成された透明導電膜ITOを用いている。構成は実施例1と何ら変わりはなく、図9に示す通りである。

【0126】《製造方法》本実施例では、実施例1の工程Bと工程Cの間に工程Fが入る順番になる。工程の順序としては図12から図15のAからHが、A-B-F-C-D-E-G-Hの順になる。マスクパターンは、走査信号線GL、走査電極GTと対向電圧信号線CLが分離し、各端子の透明導電層g2と対向電圧信号線CLのパターンが同一マスクに形成される。

【0127】このように、対向電極CTを透明導電層g2によって構成することによっても実施例1において説明した効果を奏するようになる。この場合、最大透過率を約16%程度（本実施例では15.9%）に向上させることができるようになる。

【0128】また、本実施例では対向電極をTFETを有する基板側に構成したが、C/F（カラーフィルタ）を有する基板に構成しても同様な効果が得られ、本発明の範疇に含まれる。ただし、製造方法、対向電極端子CTMの構造は異なる。

【0129】《実施例3》本実施例は下記の要件を除けば、実施例1および実施例2と同一である。図21に画素の平面図を示す。図の斜線部分は透明導電膜g2を示す。

【0130】《対向電極CT》本実施例では、対向電極CTを透明導電膜g2で構成する。この透明導電膜g2は実施例1と同様にスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000～2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

【0131】《対向電圧信号線CL》対向電圧信号線CLは透明導電膜g2で構成されて、かつ対向電極CTと一体に構成されている。

【0132】《製造方法》本実施例では、実施例1の工程Bと工程Cの間に工程Fが追加される順番になる。工程の順序としては図12から図15のAからHが、A-B-F-C-D-E-F-G-Hの順になる。マスクパターンは、走査信号線GL、走査電極GTと対向電圧信号線CLのパターンが独立したマスクに形成される。

【0133】このように、画素電極PXと対向電極CTのいずれをも透明導電層g2によって構成することにより、実施例1および実施例2に示したと同様の効果を奏することになる。この場合、白表示を行うときの最大透過率は実施例1および実施例2以上の値となり、約50%程度（本実施例では47.7%）に向上させることが

できるようになる。

【0134】《実施例4》本実施例は下記の要件を除けば、実施例1および実施例3と同一である。図22に画素の平面図を示す。図の斜線部分は透明導電膜g2を示す。

【0135】《対向電圧信号線CL》対向電圧信号線CLは導電膜g1で構成する。本実施例では、導電膜g1にCrを用いる。また、対向電圧信号線CLと対向電極CTとを接続するために、陽極化成を行わない。また、ゲート絶縁膜GIにスルーホールPHを形成する。また、導電膜g1はCr以外にも、Ta、Ti、Mo、W、Alまたはそれらの合金、もしくは、それらを積層したクラッド構造で形成してもよい。

【0136】《製造方法》本実施例では、実施例1の工程Bが削除される。また、工程E時にスルーホールPHを形成し、工程F時に画素電極PXと対向電極CTを同一マスクで同時に形成する。

【0137】本実施例では、実施例1および実施例3に示した効果に加え、対向電圧信号線CLの抵抗を低減することにより、対向電極間の電圧の伝わりを円滑にし、電圧の歪みを低減することができ、水平方向に発生するクロストーク（横スミア）を低減できる。

【0138】また、画素電極PXと対向電極CTを同一マスクで同時に形成することにより、実施例4で2回行っている工程Fが1回になり、生産性も向上する。

【0139】《実施例5》本実施例は下記の要件を除けば、実施例1および実施例4と同一である。図23に画素の平面図を示す。図の斜線部分は透明導電膜g2を示す。

【0140】《対向電極CT》本実施例では、中央の対向電極CTだけを透明導電膜g2で構成する。映像信号線に隣接した対向電極は対向電圧信号線と一体に金属膜で形成する。

【0141】本実施例では、実施例1から実施例4の効果に加え、映像信号線に隣接した対向電極を不透明にすることにより、映像信号に伴うクロストークを抑制することができる。

【0142】その理由は次のとおりである。すなわち、対向電極CTが映像信号線DLに隣接して形成されることにより、映像信号線DLからの電界（電気力線）は、この対向電極CTに吸収され、映像信号線DLからの電界が画素電極PXと対向電極CTの間の電界に影響を及ぼすことがなくなるので、映像信号にともなうクロストーク、特に基板の上下方向のクロストークの発生を抑制することができる。しかし、映像信号線DLに隣接した対向電極CT上の液晶分子の挙動は、映像信号の変動ともなって不安定であるため、映像信号線DLに隣接した対向電極CTをも透明にすると、その部分の透過光によってクロストークが観測されてしまう。このため、上述した実施例のように、映像信号線DLに隣接した対向電

極CTを不透明することにより、映像信号にともなうクロストークを抑制することができるようになる。

【0143】（実施例6）上述した実施例2および3は、そのいずれにおいても対向電極CTとともに対向電極信号線CLが透明導電層g2で構成されたものである。

【0144】この場合において、本実施例は図24に示す構成によって該対向電極信号線CLの抵抗値を大幅に低減させるようにしたものである。

【0145】図24（a）は、図20の対向電極信号線CLの部分を示す平面図であり、図24（b）は同図（a）のb-b線における断面図である。

【0146】同図において、対向電極信号線CLは2層構造からなり、その下層として抵抗値が小さいA1層10が形成され、このA1層10の上面に該A1層10を完全に被覆してITO膜11が形成されている。そして、対向電極CTは前記ITO膜11の一部を延在させた延在部で構成したものとなっている。

【0147】このようにした場合、対向電極信号線CLの低抵抗化を図れるとともに、A1層10に発生するいわゆるホイスカと称されるひげ状の突起による層間絶縁膜を介した他の導電層と（たとえば映像信号線DL）の電氣的短絡を防止できるようになる。すなわち、A1層10はその上層に映像信号線DLに対する層間絶縁膜を形成する際にホイスカが発生し上述した弊害をもたらすことが知られているが、このA1層10を完全に被覆するようにしてITO膜を形成することによって該ホイスカが発生しないことが確かめられている。

【0148】

【発明の効果】以上説明したことから明かなように、本発明による液晶表示装置およびその製造方法によれば、開口率の向上を図ることができるようになる。

【0149】また、表示面における光反射の減少を図ることができるようになる。

【0150】さらに、コントラストの良好な表示を図ることができるようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例（実施例1）である液晶表示部の一画素とその周辺を示す要部平面図である。

【図2】図1の3-3線における断面図である。

【図3】図1の4-4線における断面図である。

【図4】図1の5-5線における断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】本発明による液晶表示装置のパネル縁部分の一実施例を示す断面図である。

【図7】ゲート端子GTMとゲート配線GLの接続部付近を示す平面と断面の図である。

【図8】ドレイン端子DTMと映像信号線DLとの接続

部付近を示す平面と断面の図である。

【図9】共通電極端子CTM、共通バスラインCBおよび共通電圧信号線CLの接続部付近を示す平面と断面の図である。

【図10】本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図11】本発明のアクティブ・マトリクス型カラー液晶表示装置の駆動波形を示す図である。

【図12】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図13】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程G～Hの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図16】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図17】テープキャリアパッケージTCPを液晶表示パネルPNLの走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【図18】液晶表示モジュールの分解斜視図である。

【図19】印加電界方向、ラビング方向、偏光板透過軸の関係を示す図。

【図20】本発明による液晶表示装置の他の実施例（実施例2）である液晶表示部の一画素とその周辺を示す要部平面図である。

【図21】本発明による液晶表示装置の他の実施例（実施例3）である液晶表示部の一画素とその周辺を示す要部平面図である。

【図22】本発明による液晶表示装置の他の実施例（実施例4）である液晶表示部の一画素とその周辺を示す要部平面図である。

【図23】本発明による液晶表示装置の他の実施例（実施例5）である液晶表示部の一画素とその周辺を示す要部平面図である。

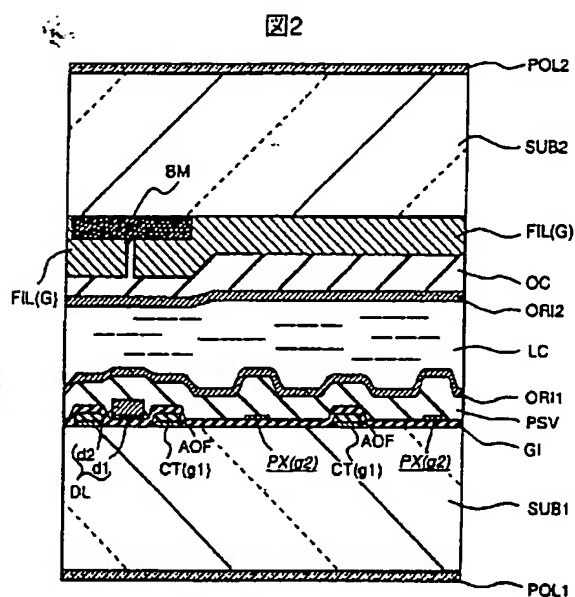
【図24】本発明による液晶表示装置の他の実施例（実施例6）である液晶表示部の一画素の要部平面図と断面図である。

【符号の説明】

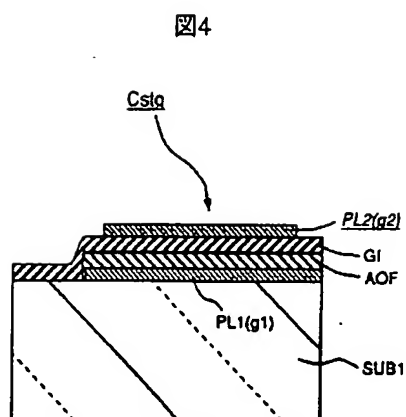
SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線、CL…対向電圧信号線、PX…画素電極、CT…対向電極、GI…絶縁膜、GT…ゲート電極、AS…i型半導体層、SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜、LC…液晶、TF

子、SHD…シールドケース、PNL…液晶表示パネル、SPB…光拡散板、LCB…導光体、BL…バックライト蛍光管、LCA…バックライトケース、RM…反射板、(以上添字省略)。

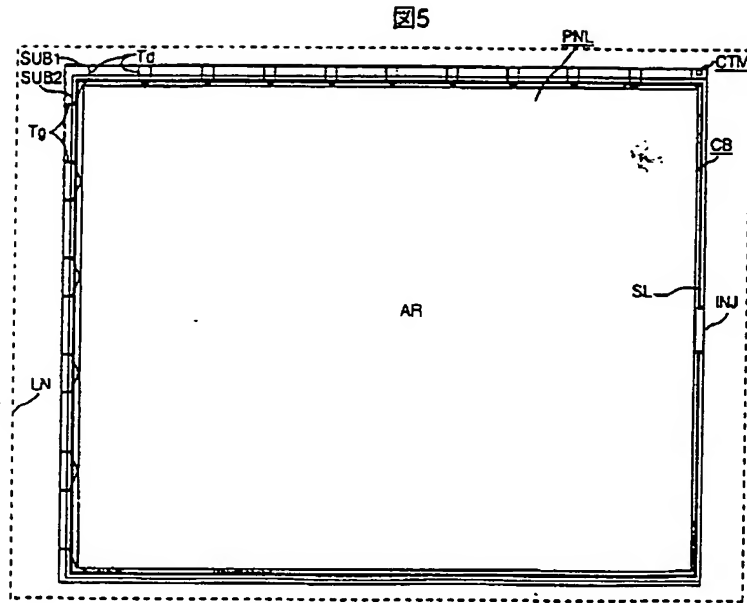
【图2】



【图 4】

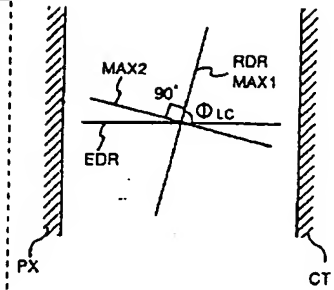


【図5】



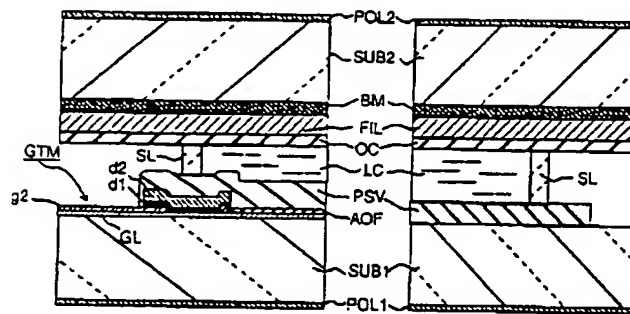
【図19】

図19



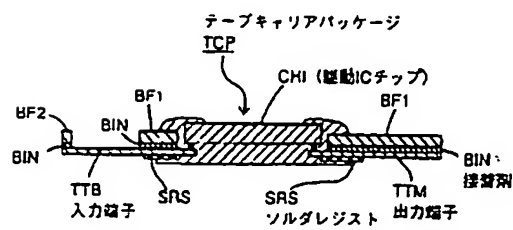
【図6】

図6



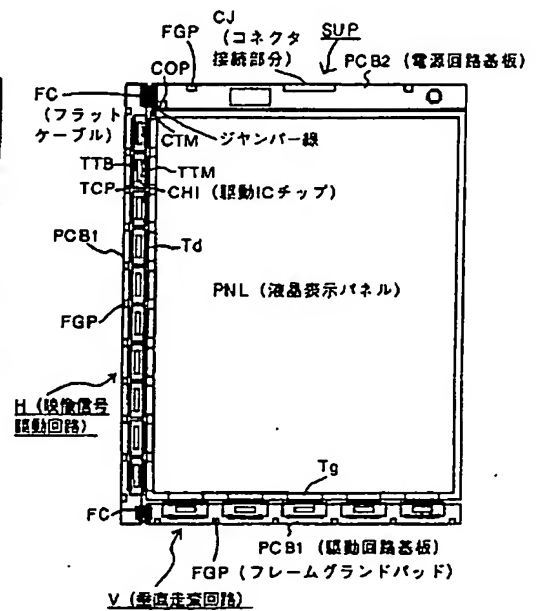
【図16】

図16



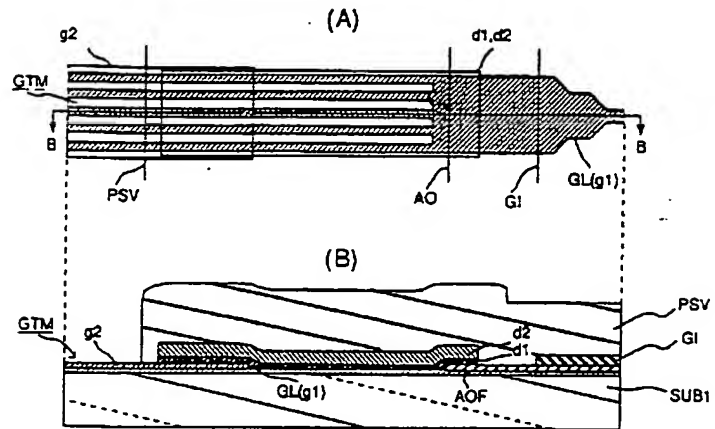
【図15】

図15



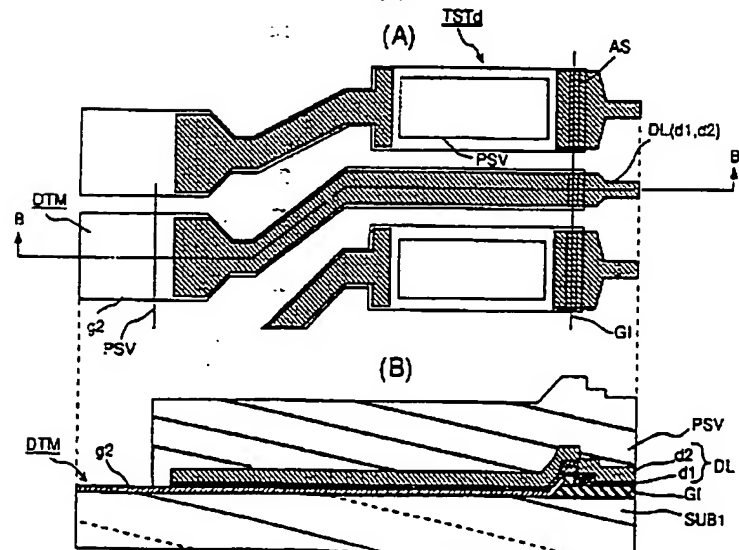
【図7】

図7



【図8】

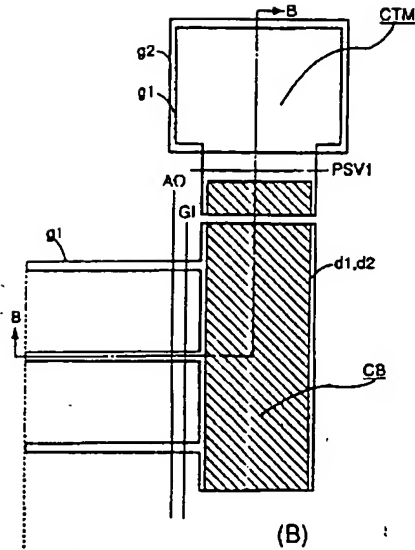
図8



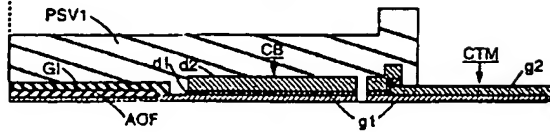
【図9】

図9

(A)

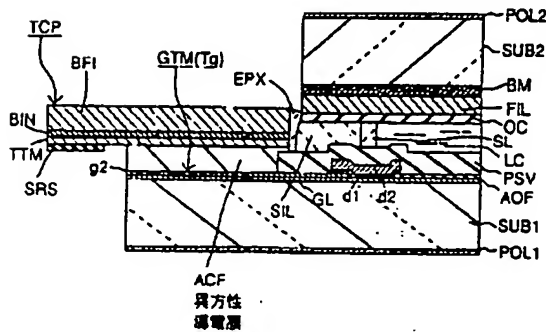


(B)



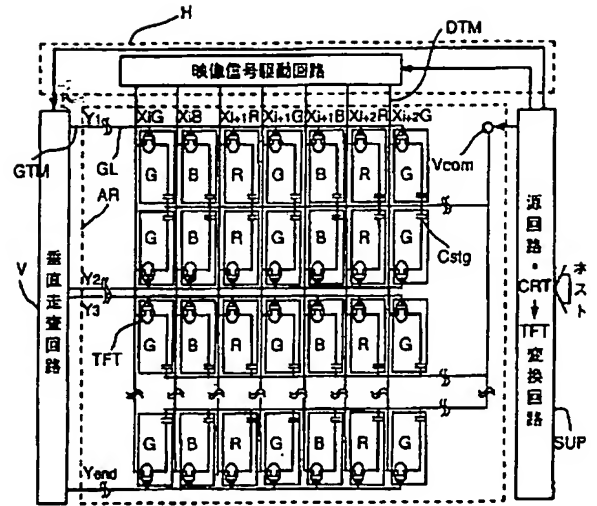
【図17】

図17



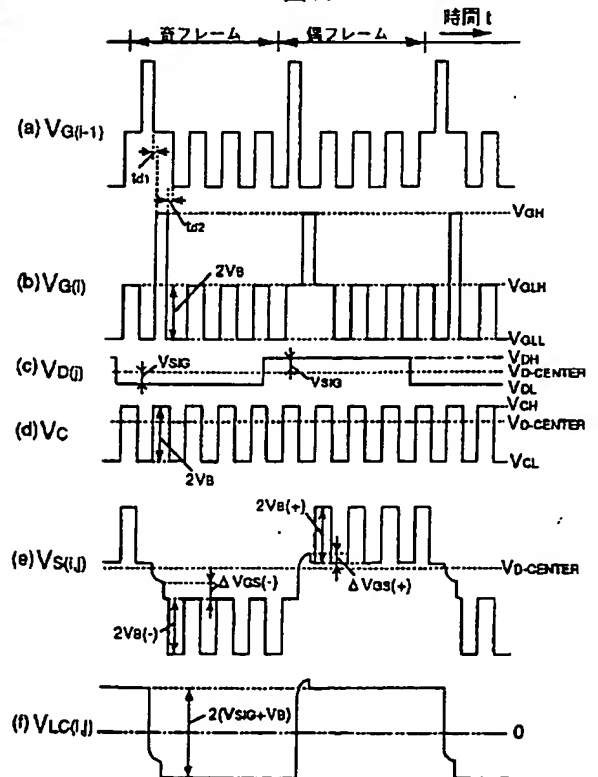
【図10】

図10



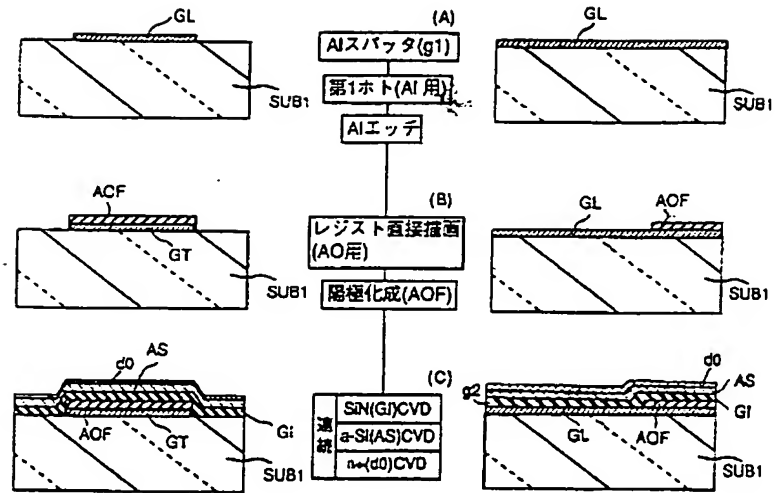
【図11】

図11



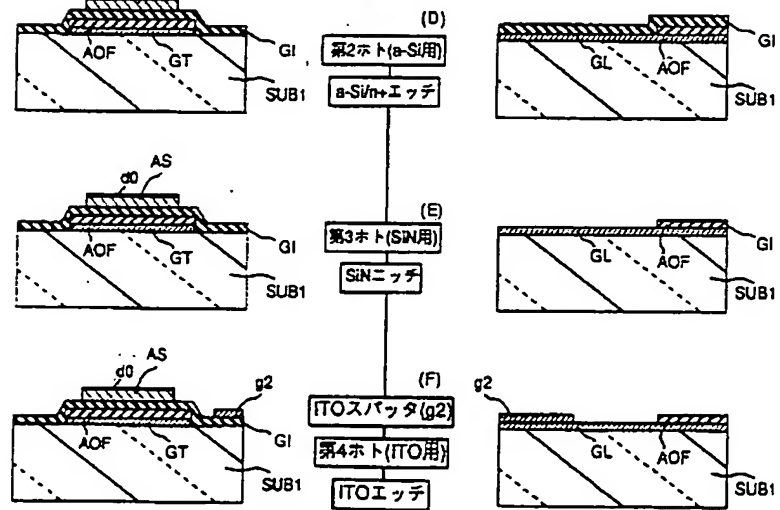
【図12】

図12



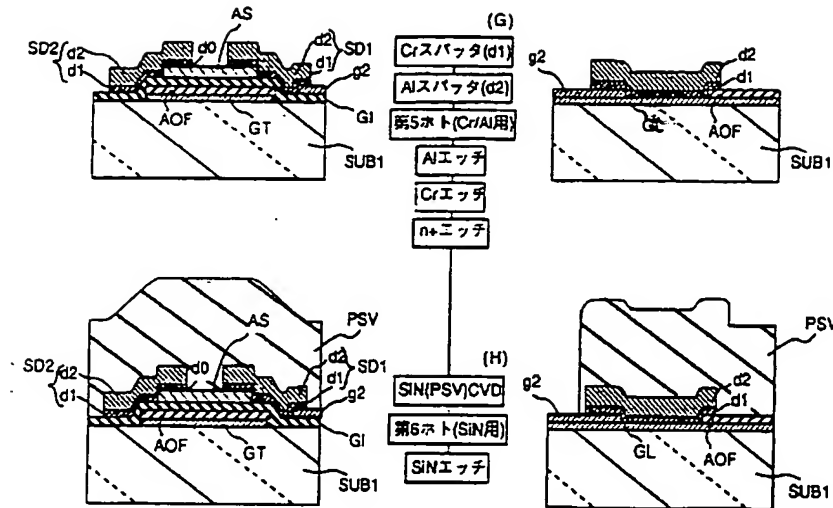
【図13】

図13



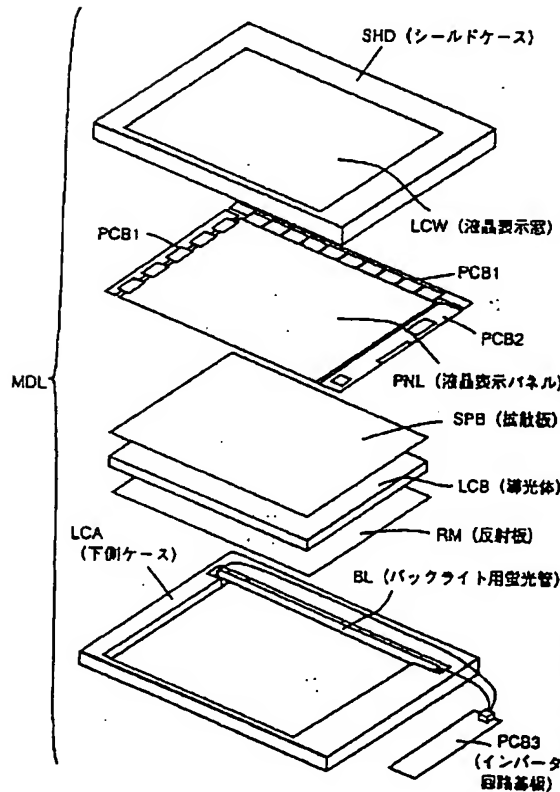
【図14】

図14



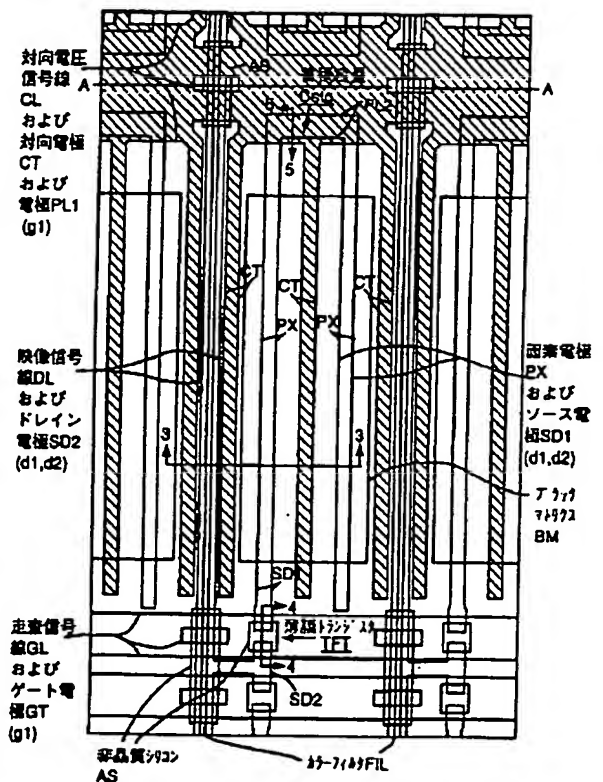
【図18】

図18



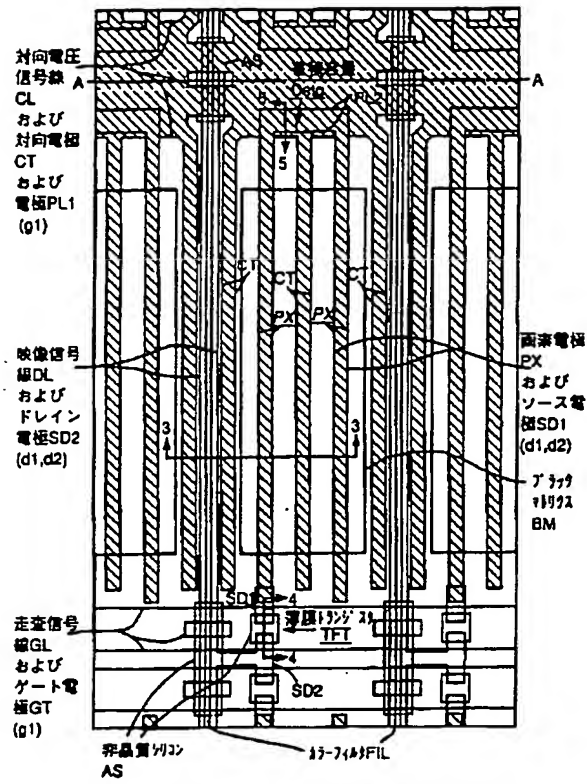
【図20】

図20



【図21】

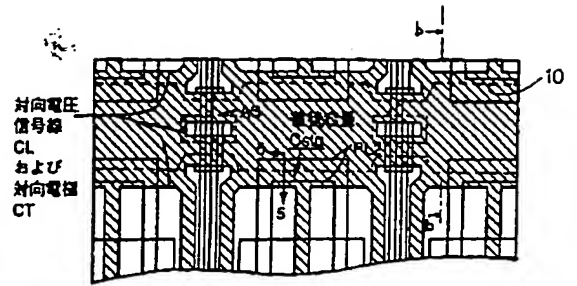
図 2 1



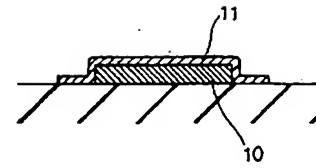
【図24】

図 2 4

(a)

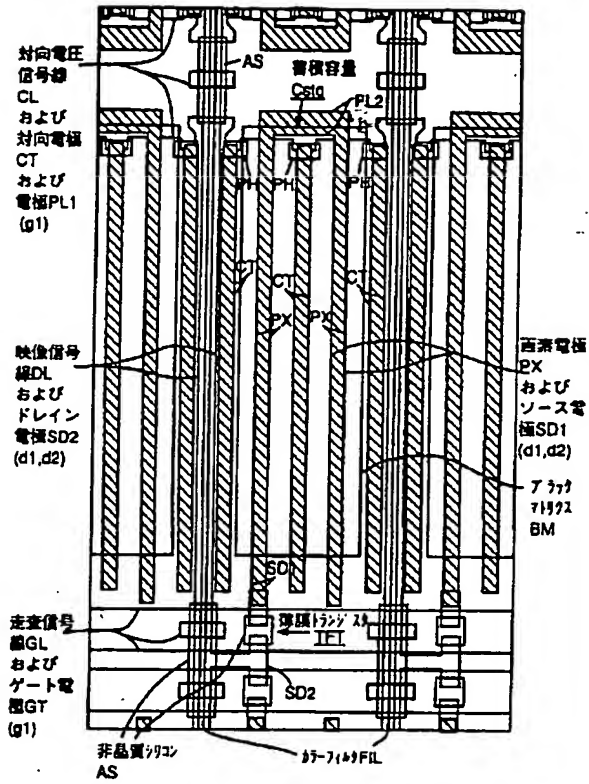


(b)



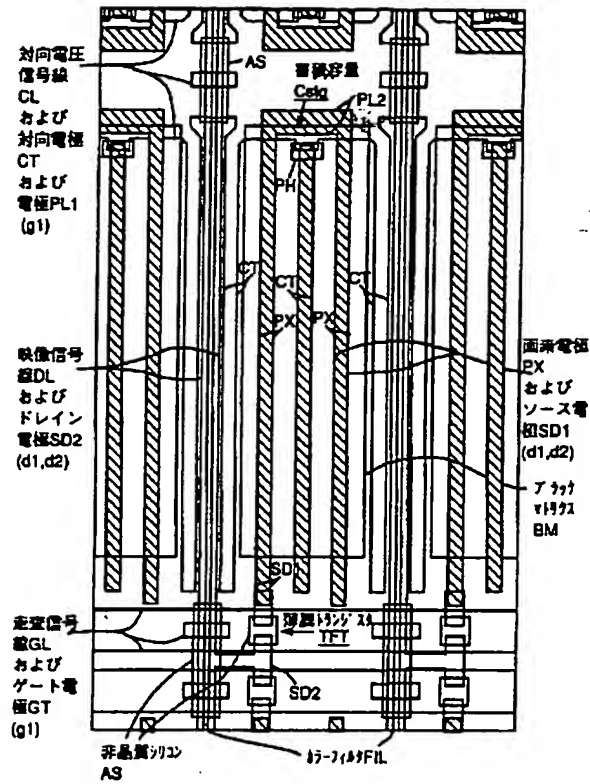
【図22】

図 22



【図23】

図 23

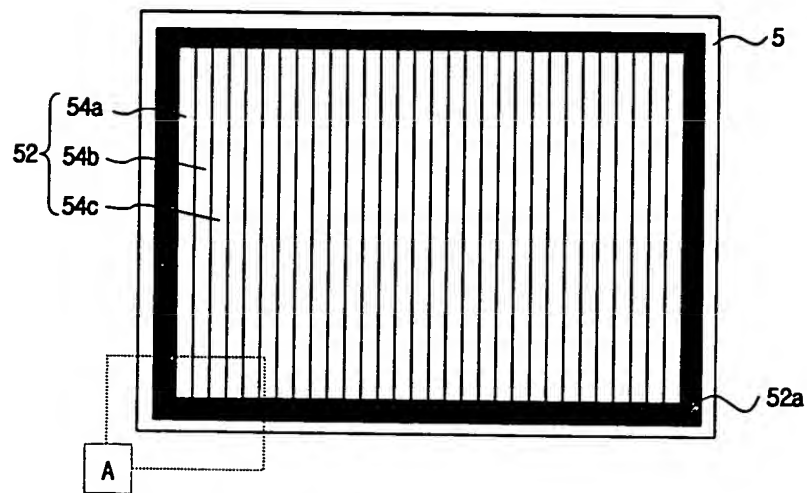
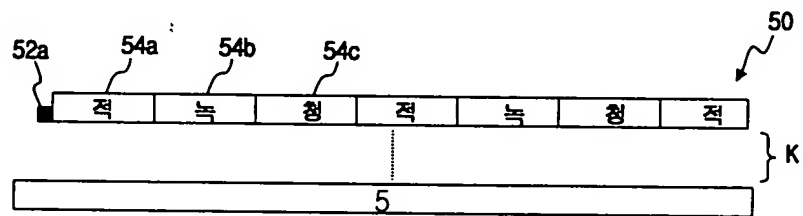
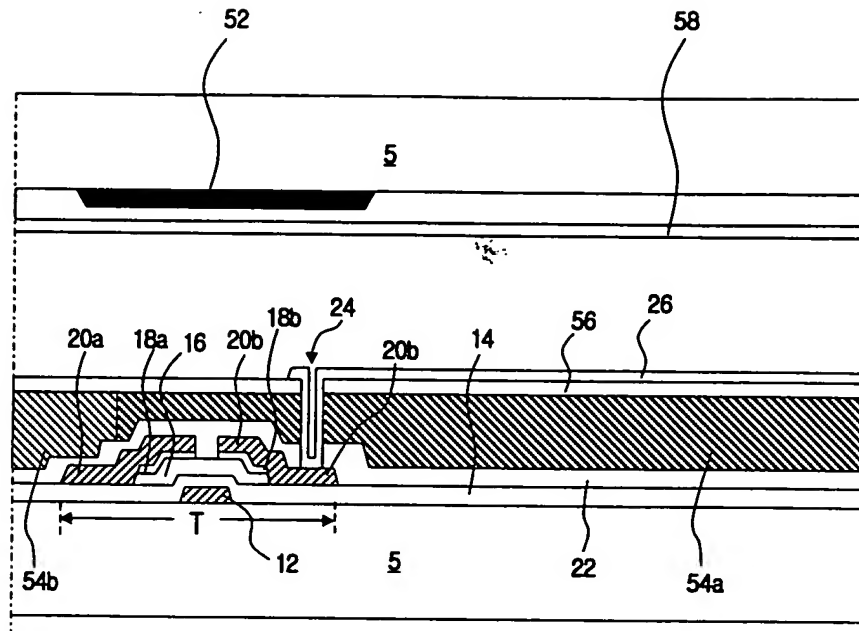


フロントページの続き

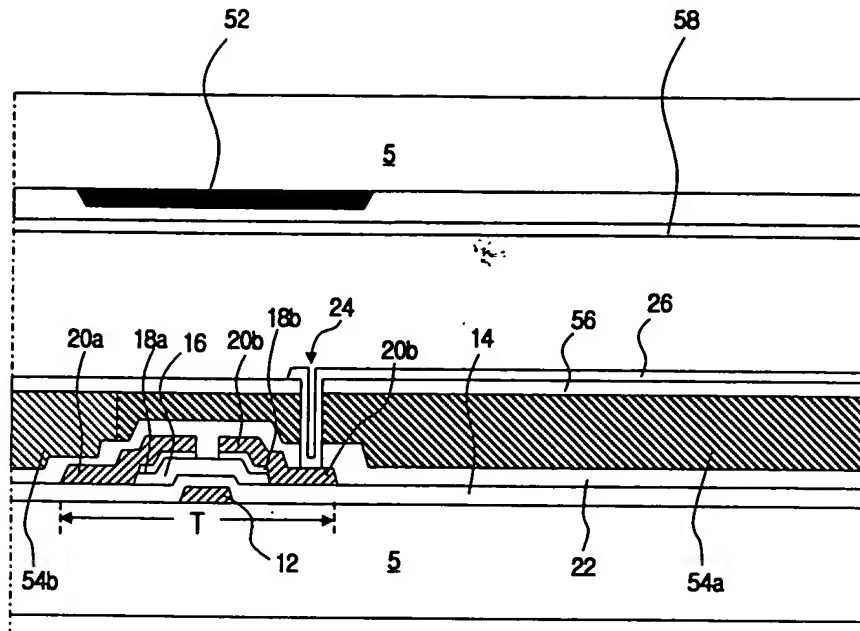
(72) 発明者 柳川 和彦
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 箭内 雅弘
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

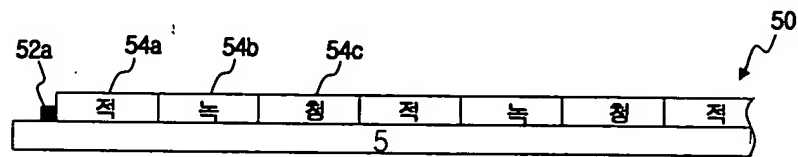
(72) 発明者 小西 信武
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内



52b



52c



52d

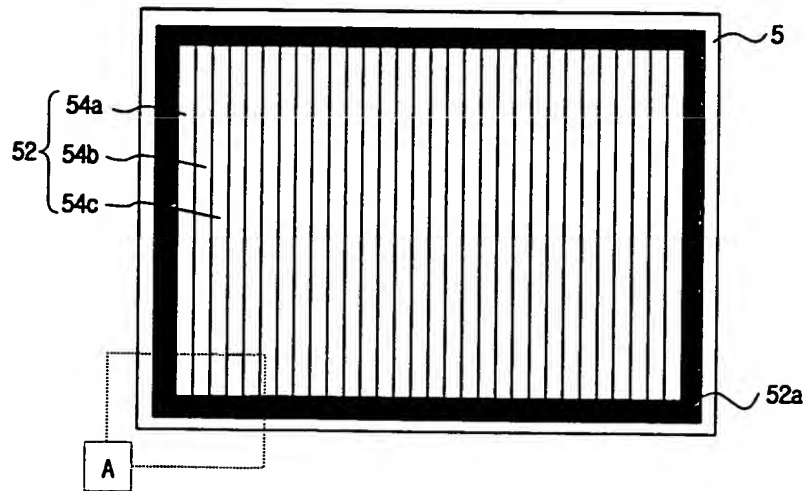


Fig. 1b

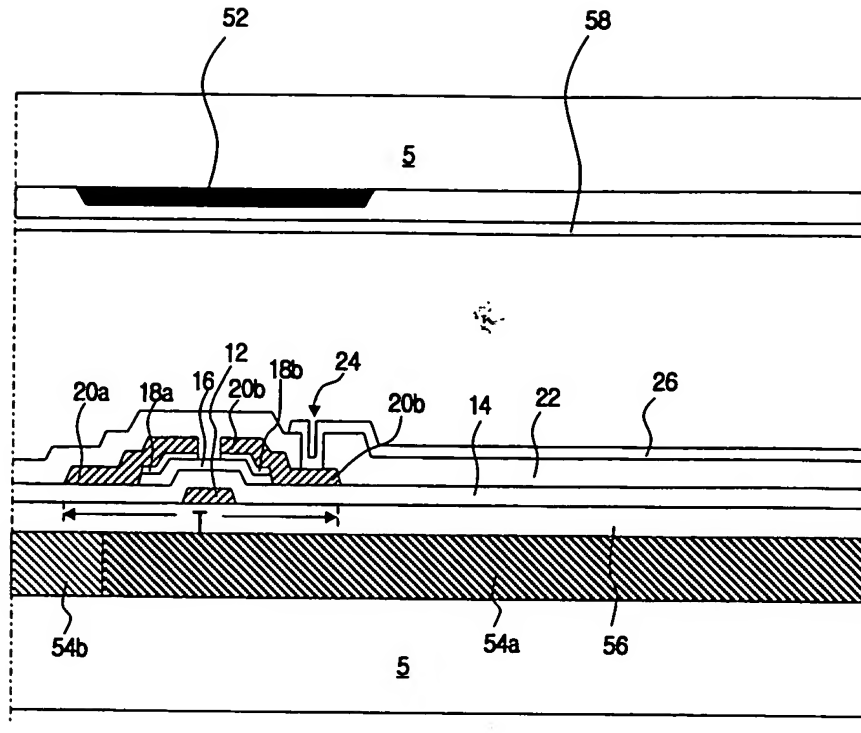
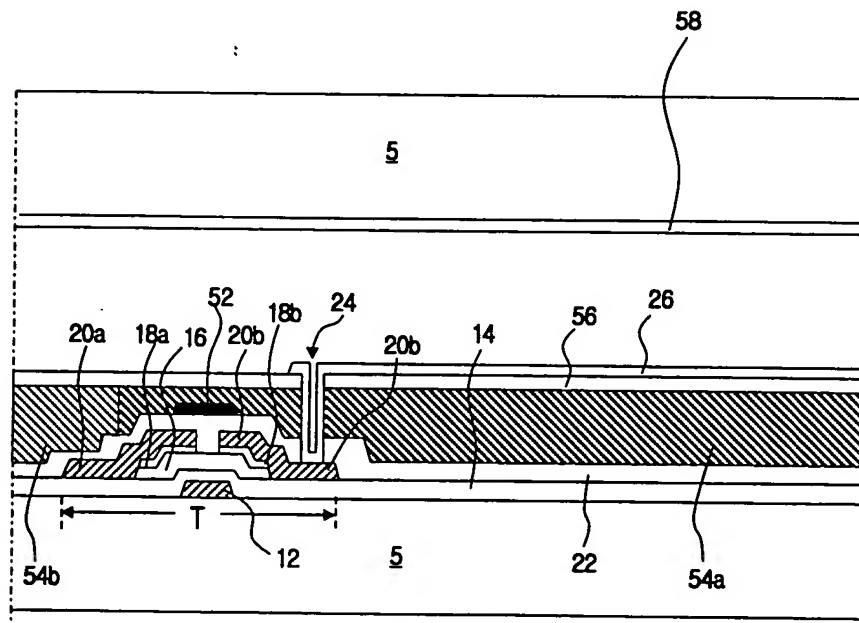


Fig. 1c



This cross-sectional view shows a semiconductor device with a substrate 5. A trench 52 is formed in the substrate, with a bottom layer 54b and a top layer 54a. A gate structure 56 is formed on the top surface of the substrate. A trench 14 is formed in the gate structure, with a bottom layer 16 and a top layer 18a. A trench 20a is formed in the top layer 18a, with a bottom layer 20b. A trench 24 is formed in the top layer 18a, with a bottom layer 24. A trench 26 is formed in the top layer 18a, with a bottom layer 26. A trench 28 is formed in the top layer 18a, with a bottom layer 28. A trench 30 is formed in the top layer 18a, with a bottom layer 30. A trench 32 is formed in the top layer 18a, with a bottom layer 32. A trench 34 is formed in the top layer 18a, with a bottom layer 34. A trench 36 is formed in the top layer 18a, with a bottom layer 36. A trench 38 is formed in the top layer 18a, with a bottom layer 38. A trench 40 is formed in the top layer 18a, with a bottom layer 40. A trench 42 is formed in the top layer 18a, with a bottom layer 42. A trench 44 is formed in the top layer 18a, with a bottom layer 44. A trench 46 is formed in the top layer 18a, with a bottom layer 46. A trench 48 is formed in the top layer 18a, with a bottom layer 48. A trench 50 is formed in the top layer 18a, with a bottom layer 50. A trench 52 is formed in the top layer 18a, with a bottom layer 52. A trench 54 is formed in the top layer 18a, with a bottom layer 54. A trench 56 is formed in the top layer 18a, with a bottom layer 56. A trench 58 is formed in the top layer 18a, with a bottom layer 58. A trench 60 is formed in the top layer 18a, with a bottom layer 60. A trench 62 is formed in the top layer 18a, with a bottom layer 62. A trench 64 is formed in the top layer 18a, with a bottom layer 64. A trench 66 is formed in the top layer 18a, with a bottom layer 66. A trench 68 is formed in the top layer 18a, with a bottom layer 68. A trench 70 is formed in the top layer 18a, with a bottom layer 70. A trench 72 is formed in the top layer 18a, with a bottom layer 72. A trench 74 is formed in the top layer 18a, with a bottom layer 74. A trench 76 is formed in the top layer 18a, with a bottom layer 76. A trench 78 is formed in the top layer 18a, with a bottom layer 78. A trench 80 is formed in the top layer 18a, with a bottom layer 80. A trench 82 is formed in the top layer 18a, with a bottom layer 82. A trench 84 is formed in the top layer 18a, with a bottom layer 84. A trench 86 is formed in the top layer 18a, with a bottom layer 86. A trench 88 is formed in the top layer 18a, with a bottom layer 88. A trench 90 is formed in the top layer 18a, with a bottom layer 90. A trench 92 is formed in the top layer 18a, with a bottom layer 92. A trench 94 is formed in the top layer 18a, with a bottom layer 94. A trench 96 is formed in the top layer 18a, with a bottom layer 96. A trench 98 is formed in the top layer 18a, with a bottom layer 98. A trench 100 is formed in the top layer 18a, with a bottom layer 100.